

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-232890
(43)Date of publication of application : 14.09.1990

(51)Int.Cl.

G11C 11/401

(21)Application number : 01-051919

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.03.1989

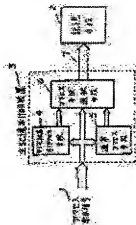
(72)Inventor : KATAYAMA KUNIHIRO
NAKATANI KOICHI
KOBIYAMA TOMOHISA

(54) MAIN MEMORY CONTROLLER

(57)Abstract:

PURPOSE: To shorten a processing time by controlling the fast access mode of a DRAM according to the selection of an access means selecting means.

CONSTITUTION: An access means selecting means 6 measures the address hit and miss hit of a row address at the time of an access and compares them with a set value. Based on the result of this comparison, an access means 4 by decided result and a normal access means 5 are selected and switched. Thus, since the fast access mode of the DRAM is applied or not applied according to the selection of the access means selecting means, it can be prevented the processing time is increased since an access time is increased more than the normal access when the row address is updated in the fast access mode. Then, there is an effect to improve the performance of main memory control.



⑫ 公開特許公報(A) 平2-232890

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月14日

G 11 C 11/401

8522-5B

G 11 C 11/34

3 6 2 C

審査請求 未請求 請求項の数 12 (全10頁)

⑮ 発明の名称 主記憶制御装置

⑯ 特 願 平1-51919

⑰ 出 願 平1(1989)3月6日

⑱ 発 明 者 片 山 国 弘 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑲ 発 明 者 中 谷 公 一 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑳ 発 明 者 小 檜 山 智 久 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

主記憶制御装置

2. 特許請求の範囲

1. スタティックカラムモードあるいはページモード等の高速アクセスモードをもつダイナミックメモリ素子により構成した記憶手段と、該記憶手段をアクセスする行アドレスが前回のアクセス時の行アドレスと一致(以下アドレスヒットと記す)。不一致(以下アドレスミスヒットと記す)を判定するアドレスヒット判定手段と、アクセス終了後は前記アドレスヒット判定手段の次のアクセスの判定結果が出るまで行アドレスは保留し、判定結果がアドレスヒットであったら列アドレスのみ与える高速アクセスモードによるアクセスを、アドレスミスヒットであったら改めて行アドレスを与え直してから列アドレスを与える通常のアクセスモードによるアクセスを行なう判定結果別アクセス手段より成る主記憶制御装置において、

前記アドレスヒット判定手段による判定結果を待たずに常に通常アクセスモードでアクセスする通常アクセス手段と、前記判定結果別アクセス手段によるアクセスと前記通常アクセス手段によるアクセスとの総合的な処理能力を高めるかを比較判定し、選択するアクセス手段選択手段とを設けたことを特徴とする主記憶制御装置。

2. 前記アクセス手段選択手段が、あるアクセス回数におけるアドレスヒット回数の比率を計測するアドレスヒット率計測手段と、前記の判定結果別アクセス手段と通常アクセス手段を選択切替すべきアドレスヒット率をあらかじめ設定する切替ヒット率設定手段を有し、前記アドレスヒット率計測手段の計測結果と前記切替ヒット率設定手段の設定値を比較することにより前記アクセス手段の選択を行なうことを特徴とする請求項1記載のアクセス主記憶制御装置。

3. 前記アクセス手段選択手段が、あるアクセス回数におけるアドレスミスヒット回数の比率を計測するアドレスミスヒット率計測手段と、前

配判定結果別アクセス手段と前記通常アクセス手段を選択切替すべきアドレスミスヒット率をあらかじめ設定する切替ミスヒット率設定手段を有し、前記アドレスミスヒット率計測手段の計測結果と前記切替ミスヒット率設定手段の設定値を比較することにより前記アクセス手段の選択を行うことを特徴とする請求項1記載の主記憶制御装置。

4. 前記アクセス手段選択手段が、アドレスヒットの連続回数を計数する連続ヒット計数手段と、切替連続ヒット回数をあらかじめ設定しておく切替連続ヒット回数設定手段を有し、前記連続ヒット計数手段の計数値が、前記切替連続ヒット回数設定手段の設定値を越えた場合には、アドレスミスヒットが連続して前記判定結果別アクセス手段によるアクセスを続け、アドレスミスヒットが超これば前記通常アクセス手段に戻るよう前記アクセス手段を選択することを特徴とする請求項1記載の主記憶制御装置。
5. 前記アクセス手段選択手段が、アドレスミ

し、それ以外では前記通常アクセス手段を選択することを特徴とした請求項1記載の主記憶制御装置。

7. 前記アクセス手段選択手段が、アドレスミスヒットの連続回数が前記切替連続ミスヒット回数設定手段の設定値を越えたらそれ以後のアドレスミスヒット連続回数が前記切替連続ミスヒット回数設定手段の設定値を越えるまで、前記通常アクセス手段を選択し、それ以外では前記判定結果別アクセス手段を選択することを特徴とした請求項1記載の主記憶制御装置。
8. 主記憶装置内あるいは主記憶装置と他の記憶装置間で複数のデータを1データ部に転送するデータ転送手段を更に備え、該データ転送手段による転送を行った際には前記アクセス手段選択手段が、前記通常アクセス手段を選択することを特徴とする請求項1記載の主記憶制御装置。
9. 前記アクセス手段選択手段において、特定のアドレスのアクセスにより書き込み可能な記憶

ビットの連続回数を計数する連続ミスヒット計数手段と、切替連続ミスヒット回数をあらかじめ設定しておく切替連続ミスヒット回数設定手段を有し、前記連続ミスヒット計数手段の計数値が、前記切替連続ミスヒット回数設定手段の設定値を越えた場合には、アドレスミスヒットが連続して、前記通常アクセス手段によるアクセスを続け、アドレスミスヒットが超これば前記1判定結果別アクセス手段に戻るよう前記アクセス手段を選択することを特徴とする請求項1記載の主記憶制御装置。

4. 前記アクセス手段選択手段が請求項4項記載の連続ヒット計数手段及び切替連続ミスヒット回数設定手段と、請求項4項記載の連続ミスヒット計数手段及び切替連続ミスヒット回数設定手段とからなり、アドレスミスヒットの連続回数が前記切替連続ミスヒット回数設定手段の設定値を越えたらそれ以後のアドレスミスヒットの連続回数が前記切替連続ミスヒット回数設定手段の設定値を越えるまで前記判定結果別アクセス手段を選択
- 手段を有し、該記憶手段の内容により前記アクセス手段の選択を行うことを特徴とした請求項1記載の主記憶制御装置。

10. 前記アクセス手段選択手段を備える主記憶制御装置により主記憶の制御を行うコンピュータシステムにおいて、前記アクセス手段選択手段が備える記憶手段に、プログラム上でプログラム自身のアクセス手段を選択するためのデータの書き込みを行うことを特徴とした請求項9記載の主記憶制御装置を用いたコンピュータシステム。

11. スタティックカラムモードあるいはページモード等の高速アクセスモードをもつダイナミックメモリ素子により構成した記憶手段を制御するメモリ制御装置の行アドレスロープ信号（以下RASと記す）発生回路において、アクセス終了後直ちにRASをインアクティブとする動作モードと、次のアクセスまでアクティブのまま保持し行アドレスの更新が必要となったらインアクティブにし、必要なければアクティ

ブのままアクセスを行う、という3種類の動作モードをもつRAS発生回路。

12. 請求項2又は3記載の前記アクセス手段選択手段が、アクセス回数が特定の数値に達したら出力レベルを変化させるリセット付きカウンタと、アドレスヒット回数あるいはアドレスミスヒット回数が特定の数値に達したら出力レベルを変化し、かつ入力をマスクするリセット付きカウンタを備え、前記アクセス回数カウンタのレベルが変化した時点での前記アドレスヒット回数カウンタあるいはアドレスミスヒット回数カウンタの出力を検出して前記アクセス手段の選択をし、同時に前記2つのカウンタをリセットして初期状態に戻して同様の動作を繰り返すことを特徴とする主記憶制御装置。

A. 発明の詳細な説明

〔産業上の利用分野〕

本発明はコンピュータシステムにおける主記憶制御装置に係り、特にスタティックカラムモードやページモードなどの高速アクセスモードを備え

たDRAMを主記憶装置とし、システム全体の処理能力を向上するのに好適な主メモリ制御装置に関する。

〔従来の技術〕

近年、パーソナルコンピュータ（以下パソコンと記す）の中央処理装置の高性能化に伴い、主記憶装置の高速アクセス性の要求が高まっている。このためパソコンの主記憶装置の主流であるダイナミックRAM（以下DRAMと記す。）、そのアクセス時間を高速化するのに加え、スタティックカラムモードやページモードといった高速アクセスモードを備えたものが開発されている。

DRAMの通常のアクセスはアクセスするアドレスを、行アドレスと列アドレスの2回に分けてDRAMに与えアクセスを行うが、前述の高速アクセスモードは次のDRAMアクセス時にDRAMに与えるべき行アドレスが前回与えられた行アドレスと一致する場合（以下アドレスヒットと記す）は行アドレスを与える必要がなく、列アドレスのみ与えればそのアクセスは完了する、というもので

ある。これを第2図を用いて説明する。第2図(a)は通常のアクセス、(b)は高速モードにおけるアクセスのDRAMに与える信号のタイミングチャートである。図中、21は行アドレスをDRAMに与えるトリガ信号（以下RAS-Nと記す）、22は列アドレスをDRAMに与えるトリガ信号（以下CAS-Nと記す）、23は1回目のアクセスの行アドレス、24は1回目のアクセスの列アドレス、25は行アドレス23を取り込むRAS-Nのトリガエッジ、26は列アドレス24を取り込むCAS-Nのトリガエッジ、27、28はそれぞれ2回目のアクセスの行アドレスと列アドレス、29、30はアドレス27、28を取り込むRAS-N、CAS-Nのトリガエッジである。(a)の通常モードのアクセスでは毎回のアクセスで行アドレスを与える必要があるが、(b)の高速モードでは2回目のアクセスが1回目のアクセスの行アドレスと一致したときは、行アドレス27は与える必要がなく、その時間分アクセス時間を節約できる。なお第2図(b)は高速モードのうちページモードのタイミングであり、

スタティックカラムモードの場合はCAS-NはLowレベル一定でアドレスのみを変化させる。

以上のような高速アクセスモードを備えたDRAMからなる主記憶装置の制御方式としては、特開第61-42795号公報に記載されているものがある。これについて第3図を用いて説明する。第3図は、高速モードを備えたDRAMを制御する主記憶制御装置の構成図である。図中31はCPUより出力するアクセス要求信号、32はアクセス要求信号31を受けてメモリのアクセスを行うメモリ制御回路、33はメモリ制御回路の出力でRAS-N、CAS-N等のメモリ制御信号、34は高速アクセスモードを備えた主記憶装置、35はCPUの出力するアドレス、36はアドレス35を制御するアドレス制御回路、37は前回のアクセス時の行アドレスを記憶しておくレジスタ、38はレジスタ37の内容と次のアクセス時の行アドレスを比較し、等しかったらアドレスヒット信号40を出力するアドレスヒットミスヒット判定回路である。メモリ制御装置32はCPUより

アドレス要求信号31を受けるとアドレスヒット信号40の入力により第2図(a)の通常モードによるアクセス(a)の高速モードによるアクセスかを決定し、主記憶装置34をアクセスする。その他の同様の公開例として、特開昭60-95668号公報、特開昭63-71759号公報を参照されたい。
〔発明が解決しようとする課題〕

上記従来技術は、プログラムの局所性を利用したものであり、これは一般的なプログラムに對しては、非常に近いアドレスをアクセスし続けることが多いということである。しかしながらプログラムによっては必ずしもそうでない場合があり、例えば主記憶以外のものを頻りにアクセスしたり、ジャンプ命令の比較的多いものや、小さなサブルーチンを数多く持つプログラムなどでは行アドレスの変化する割合が高くなってしまいアドレスミスヒットが多くなる。するとアドレスミスヒット時のアクセスは、前アドレスとの比較結果が出た後、改めて行アドレスを与える準備（これをRAS-Nのプリチャージという）を行ってから行アド

レスを与える必要があり、前回のアクセス終了直後にRAS-Nのプリチャージを始められる通常モードのアクセスより遅くなってしまふ。これを第4図を用いて説明する。第4図(a)はアドレスヒットミスヒットの判定結果がミスヒットと判つてから改めて行アドレスを与える場合のアクセスタイミング、同図(b)は判定結果を持たずに行アドレスを与えるアクセスタイミングを示しており、図中21から30までは第2図と同様、41はアドレスの判定結果を判り決定信号、42はアドレスミスヒットが起きたことを示す変化点であるとする。当然ながら42の時点では次のアクセス要求とアドレスは既に出力されていることになり、同図(b)のRAS-Nのトリガ29ではこれを早取り取り込むことができるが、同図(a)では42の時点よりプリチャージをしてからRAS-Nトリガ29を出力するため、プリチャージの時間分遅れがしまふ。なお、このRAS-Nのプリチャージは、行アドレスを取り込むためには絶対必要なものである。従って、高速アクセスモードを応用しようとする

それを応用できなかった場合には通常のアクセスを行うよりアクセス時間をより多く必要としてしまふ。上記従来技術は以上の点が配慮されておらず、全てのプログラムに對して高速処遇の要求を満足できるわけではなく、かえって低減化することがある、という問題があった。

本発明の目的は、高速化可能なプログラムに對してはその性能を維持し、低減化してしまふようなプログラムに對しては通常の速さの処遇が可能となるよう、システムのトータル的な性能を上げることにある。

〔課題を解決するための手段〕

上記目的を達成するために本発明は、アドレスヒット時に判アドレスだけを与え、アドレスミスヒット時は改めて行アドレスを与えてから判アドレスを与えるという高速モードでのアクセスをする制御を行なう手段と、アドレスのヒットミスヒットの判断を持たず直ちに次の行アドレスを与える準備をしてしまふ通常モードだけのアクセス制御を行なう手段とを用意し、この2つの制御手

段を、プログラムの局所性を判断する手段からの信号により切換えることにより達成される。

またプログラムの局所性を判断するために、アクセス時の行アドレスの変化する比率を計算する手段、アドレスヒットの連続性あるいは不連続性を計算する手段、アドレスミスヒットの連続性あるいは不連続性を計算する手段、そしてそれぞれの計算結果を判定するためにあらかじめ切替値を設定しておく設定手段を設け、プログラムの局所性を判断する手段としたものである。

さらにDMA（ダイレクト・メモリ・アクセス）CPRを介さず、直接主記憶内あるいは主記憶と他の記憶装置間のデータ転送を行うこと）という特殊なアクセスのもとでは、確実にアクセスの局所性が失われるため、アクセスの制御を通常モードに切換えることにより処遇性能を低下させない。

また、外部より書き込み可能なレジスタの内容によりアクセス手段の選択を行い、さらにソフトウェアでそのレジスタにデータを書き込むという

ことも可能である。

〔作用〕

本発明のアクセ手段選択手段は、主記憶をアクセスする際の行アドレスの要求や、主記憶をアクセスするバースにより、通算判定結果別アクセス手段と通常アクセス手段を選択切替えし、それによってトータルなアクセス性能を高め、あるいは低下させることがないようになる。

選択切替える判定手段は、アクセスする行アドレスが、一定のアクセス回数に何回アドレスヒットしたかあるいはミスヒットしたかをアドレスヒット率計測手段あるいはアドレスミスヒット率計測手段により計測し、それを設定値と比較して判定する。それによってアクセス手段を切替えるべき状態になったら切替える。

あるいは、アドレスヒットの連続回数を計測する連続ヒット計数手段や、またはアドレスミスヒットの連続回数を計測する連続ミスヒット計数手段の計数値と、切替連続ヒット回数設定手段や、または切替連続ミスヒット回数設定手段の設定値

を比較して判定する。それによってアクセス手段を切替えるべき状態になったら切替えを行う。

また、別の判定手段としては、DMAのシングル転送の際には、転送元のデータを読み出して転送先へ書き込んで、の繰り返しのためアドレスミスを繰り返すため、この時は強制的に通常モードのアクセスに切替えるようアクセス手段選択手段が動作する。それによってDMA時のアクセス速度の低下を防ぐ。

〔実施例〕

以下、本発明の一実施例を第1図、第5図を用いて説明する。第1図は本発明の概略を示したものであり、1はCPUからのアドレスやコマンドなどのアクセス要求信号、2はページモードやスタティックカラムモード等の高速アクセスモードをもつDRAMにより構成された記憶手段、4は記憶手段2をアクセスする行アドレスが前回のアクセスと一致しているかを判定し、列アドレスのみを与えるか、改めて行アドレスを与え直すかを切替える判定結果別アクセス手段、3はアクセス終

了後すぐにプリチャージを始め通常モードによる次のアクセスに備える通常アクセス手段、6は以上2つのアクセス手段を適宜選択して記憶手段のアクセス性能をより高めようとするアクセス手段選択手段、5は本発明の主記憶制御装置全体を示している。概略の動作はこれまでで述べているので、さらに具体化して説明する。

第5図は本発明の主記憶制御装置の一実施例のブロック図であり、図中51はシステムアドレス5をRAS-N21、CAS-N22に合わせて行アドレス、列アドレスを切替えてメモリに与えるアドレス行列切替回路、52はアドレスヒット時には高速アクセスのヒット動作を、アドレスミスヒット時にはミスヒット動作をするようなタイミング信号を生成する高速アクセスタイミング生成回路、53はタイミング生成回路52より発生した高速アクセス要求信号、54は主記憶アクセス性能をより高くするようアクセスモードを選択する選択信号発生回路、55はRAS-N21の発生回路で高速アクセス要求信号53の出力がなければプリチャージをしてアクセス要求を待ち、アクセス要求後は直ちにRAS-Nをアクティブとし、高速アクセス要求信号53の出力があった場合はRAS-N21をアクティブに保ち、ミスヒット判定時は直ちにプリチャージを行う。56は選択信号発生回路54の出力信号が通常モードを選択した時は高速アクセス要求信号53をマスクして、通常モードでのRAS-N21を発生するようにRAS-N発生回路55を制御するゲート、57はCAS-N信号22の発生回路で、RAS-Nがアクティブとなったタイミングを確認してCAS-Nをアクティブとする。

本実施例によれば、高速アクセス時のヒット動作、高速アクセス時のミスヒット動作そして通常アクセス動作の3種類のRAS-N発生が1つの発生回路で可能となり、回路規模が小さくてすむ。ところでアクセスモード選択信号発生回路54の方式のうち、アドレスヒット率あるいはミスヒット率の計測結果を応用するものの一実施例を第6図、第7図により説明する。

第6図はその回路図であり、図中61はアクセス

ス要求信号であり、要求があるたびにパルスが出る。62はアドレスヒットミスヒット判定信号で、アドレスヒット中はHレベルになっているものとする。63はアクセス要求信号61をカウントするカウンタ、64はアドレスヒットのアクセスがあるたびにパルスが出るようにし、かつカウンタ65の出力が変化すると入力マスクするようにするためのANDゲート、65はアドレスヒット回数をカウントするカウンタ、66はカウンタ63の出力信号、67はカウンタ65の出力信号、68はアクセスモードの選択を決定するD-F.F.、69はアクセスモード選択出力信号である。

第7図は、第6図の回路の各部信号のタイミングを示したものである。第6図においてカウンタ63、65は出力が変化するカウンタ値を任意に設定できるものとし、その比率がアクセスモードの選択を切替える値となる。例えばカウンタ63を128、カウンタ65を64で出力がHレベルになるようにすると第7図に示すように、信号67はアドレスヒットのアクセス回数が、64となると

Hレベルとなるが、カウンタ63の出力が、カウンタ65のリセット端子に入っているため、アクセス回数が128に達する前に、アドレスヒットが64回起きないと、第6図D-F.F.68の出力69は変化しない。なお第6図中、アドレスヒットミスヒット判定信号の論理を逆にするにより、アドレスミスヒット率によるアクセスモード選択にすることができる。本実施例によれば、アドレスヒット率、あるいはアドレスミスヒット率の計測が、任意のアクセス要求回数により可能となり、またその判定結果はリアルタイムで信号を出力できる。

次に他の方式としてアドレスヒットあるいはミスヒットの連続回数によりアクセスモードの選択をする方式の一実施例を第8図により説明する。

81はアドレスヒットのアクセス時パルスを出すようにし、かつカウンタ83の出力がHレベルになったら入力をマスクするためのANDゲート、82はアドレスミスヒットのアクセス時パルスを出すようにし、かつカウンタ84の出力がHレベ

ルになったら入力をマスクするためのANDゲート、83はアドレスヒットの連続回数をカウントするカウンタ、84はアドレスミスヒットの連続回数をカウントするカウンタ、85はアクセスモード選択信号を出力するD-F.F.、86はシステム立上げ時やリセット時のアクセスモードを決定する入力である。カウンタ83、84は任意のカウント数で出力がアクティブとなるよう設定できるものとする。カウンタ83はアドレスヒットが設定した回数だけ連続して起こると出力をアクティブとし、以後アドレスヒットが続くまでその状態を保つ。そしてアドレスミスヒットが起きると再びインアクティブとなり、0からカウントを始める。カウンタ84は逆にアドレスミスヒットに対し連続回数をカウントしアドレスヒットによりリセットされる。以上2つのカウンタの出力をセットリセット付きのD-F.F.に第8図に示したように入力することにより、設定値を越える連続回数が起きたものによりレベルを決定し、一度レベルが変化したら、もう一方の連続回数が設定値を越

えるまではその状態を保つようになる。なおD-F.F.85のゲート入力86は第5図ではHレベルとなっているため、システム開始時や再開開始時は高選択モードを含むアクセスモードを選択しているが、この入力をLレベルとすれば、通常アクセス制を選択するようになる。さらにD-F.F.85を取り去ってカウンタ83や84の出力を直接アクセスモード選択信号として用いれば、アドレスヒットやミスヒットが設定値以上連続した時だけアクセスモードの切替えが起こる方式とすることができる。本実施例によれば方式の変更が少ない作業ででき、状況に応じて方式を切替えられる、という利点が得られる。

次にDMA時の切替え方式については、DMAのシングル転送を監視する手段を設け、そのアクセス時にアクセスモードを通常アクセスに切替えるようにする。DMAのシングル転送を監視する手段の一実施例としては、DMA0の内部レジスタと内容を等しくするレジスタを外部に設け、シングル転送モードが設定され、かつDMA0起動要求

があったらアタティブとなる番号を作ることにより実現する。本実施例によれば、回路規模が大幅小さく、他の方式と組み合わせで使うことが可能である。

次に、アクセス手段をレジスタに書き込む方式では、あるアドレスをアクセスすることによりデータを書き込み保持するレジスタを脱け、その内容によりアクセス手段の選択を行う。これによればアクセス手段の選択をユーザーに任せることができ、またプログラム内でそのレジスタへ任意に書き込めるため、プログラマーがプログラムの特性を考えてアクセス手段の選択を行うことができるようになる。

無検回路とする実施例としては、これまでの技術的手段、回路、装置等は全てデジタル制御可能なためゲートアレイによる無検回路化は問題なく行える。本実施例によれば開発期間の短縮、低開発費の効果がある。

〔発明の効果〕

本発明によれば、アクセス手段選択手段の選択

により、DRAMの高速アクセスモードを応用したり、応用しなかったりすることにより、高速アクセスモードにおいて行アドレスを更新すると通常のアクセスよりアクセス時間が増すため、プログラムによってはかえって処理時間がかかってしまうという問題を解決できるので、主記憶制御の性能向上の効果がある。また本発明によれば、DMAのような特殊なアクセスにより高速アクセスモードだけでは性能を落とすと考えられる場合にも対応できる。

またアドレスヒット率やミスヒット率を計測してアクセス手段の選択を行うことにより、アクセス手段の切替えが最適化され、あらゆるシステムに対応できる。例えばアドレスヒット率が60多を越えればトータルの処理性能は、通常アクセスのシステムより向上するというデータがあればそのアドレスヒット率60多あるいはミスヒット率40多という値を設定することにより最適化が図れる。

またアドレスヒットミスヒットの連続回数によ

りアクセス手段の切替えを行うことにより、性能向上のアドレスヒット率やミスヒット率の値が不明である時や、実際のアクセスにおいてリアルタイムに対応したい時に有効である。通常、アドレスのヒットやミスヒットというのは連続して起こりがちであるため、細かい制御により性能向上をより高めることが可能となる。

またDMAのシングル転送では、明らかにアドレスはミスヒットするので、これは通常モードに切替えるべきである。現在のコンピュータシステムでは、記憶装置のデータのブロック転送は頻繁に行われ、その処理性能が、トータルの処理性能に大きな影響を与えるようになっている。そのため転送処理を速くすることはシステムの処理性能向上に大きく貢献する。

また、アクセス手段の切替えを外部より書き込み可能なレジスタのデータにより行なうと、ユーザーがアクセス手段の切替えを開放することができ特にプログラマーが、プログラム自身の特性を考え、行アドレスのアクセスが大きいようなプログラム範

围では通常モード、といった選択ができるようになる。

無検回路化によれば、内部動作の高速化、雑音の影響の減少、コストの低減などの効果があり、また設定値や方式を外部で設定できることにより、その無検回路の使用環境により最適なものを選ぶことができる、という効果がある。

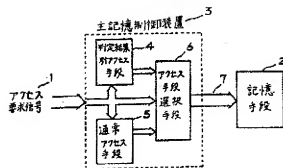
4. 図面の簡単な説明

第1図は本発明の概略を示す図、第2図は高速アクセスモードを説明するタイミングチャート、第3図は従来例のブロック図、第4図は高速アクセスモードのアドレスミスヒット時のタイミングを説明するタイミングチャート、第5図は本発明のブロック図、第6図はアドレスヒット率を計測してアクセスモードを切替える方式の回路図、第7図は第6図の動作を説明するタイミングチャート、第8図はアドレスヒットミスヒットの連続回数を計測してその計測結果によりアクセスモードを切替える方式の回路図である。

3. 主記憶制御装置

- 4 ... 判定結果別アクセス手段
- 5 ... 通常アクセス手段
- 6 ... アクセス手段選択手段
- 52 ... アクセスモード選択信号発生
- 63 ... アクセス回数カウンタ
- 65 ... アドレスヒットカウンタ
- 66 ... 連続アドレスヒットカウンタ
- 64 ... 連続アドレスミスヒットカウンタ

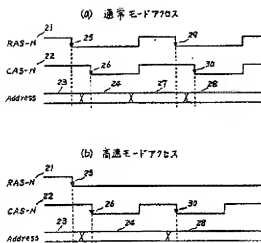
第 1 図



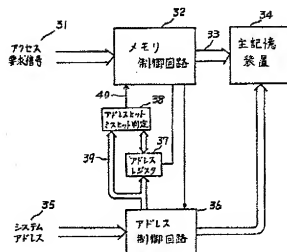
代理人 弁理士 小川勝男



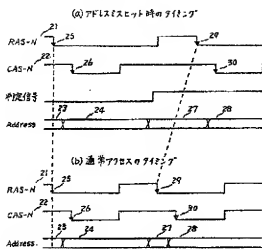
第 2 図



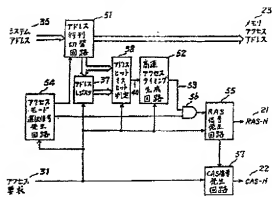
第 3 図



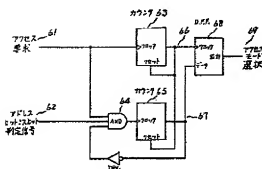
第 4 図



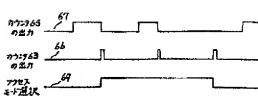
第 5 図



第 6 図



第 7 図



第 8 圖

